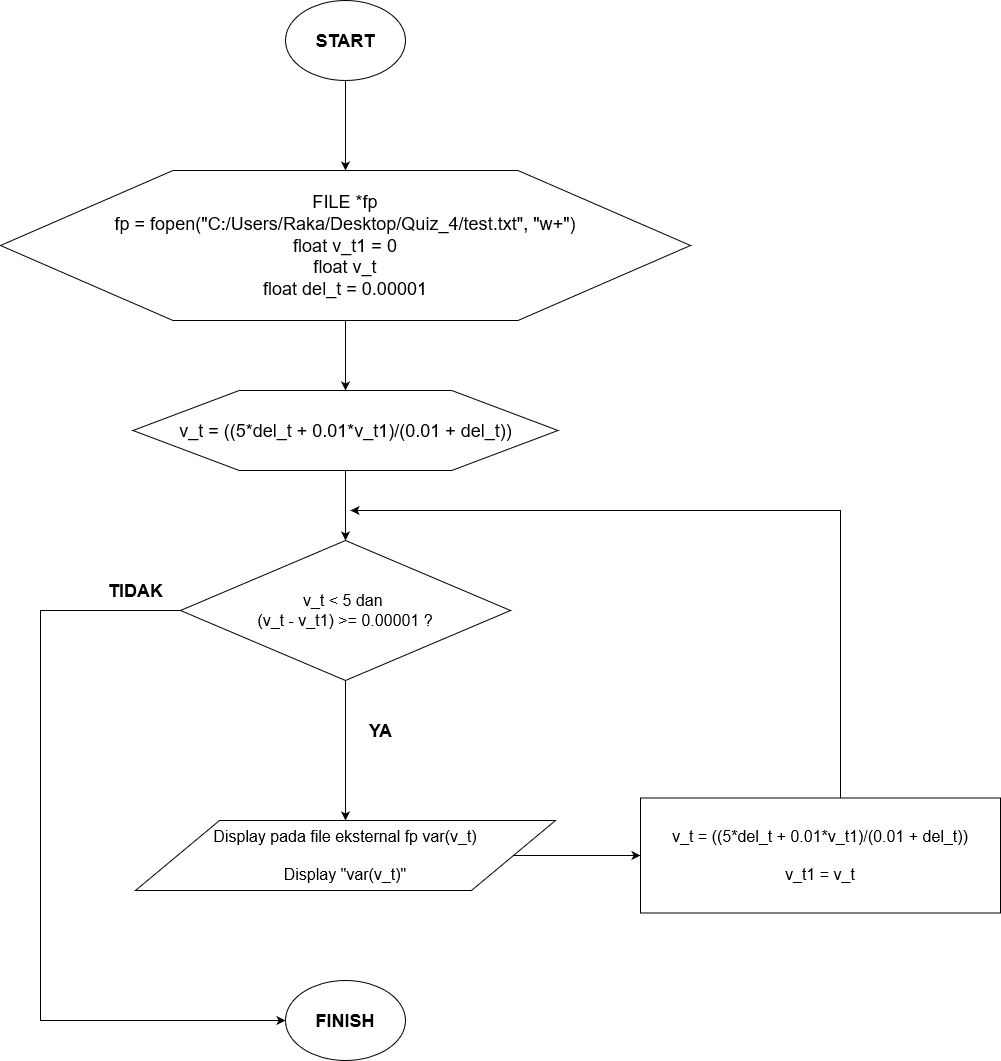
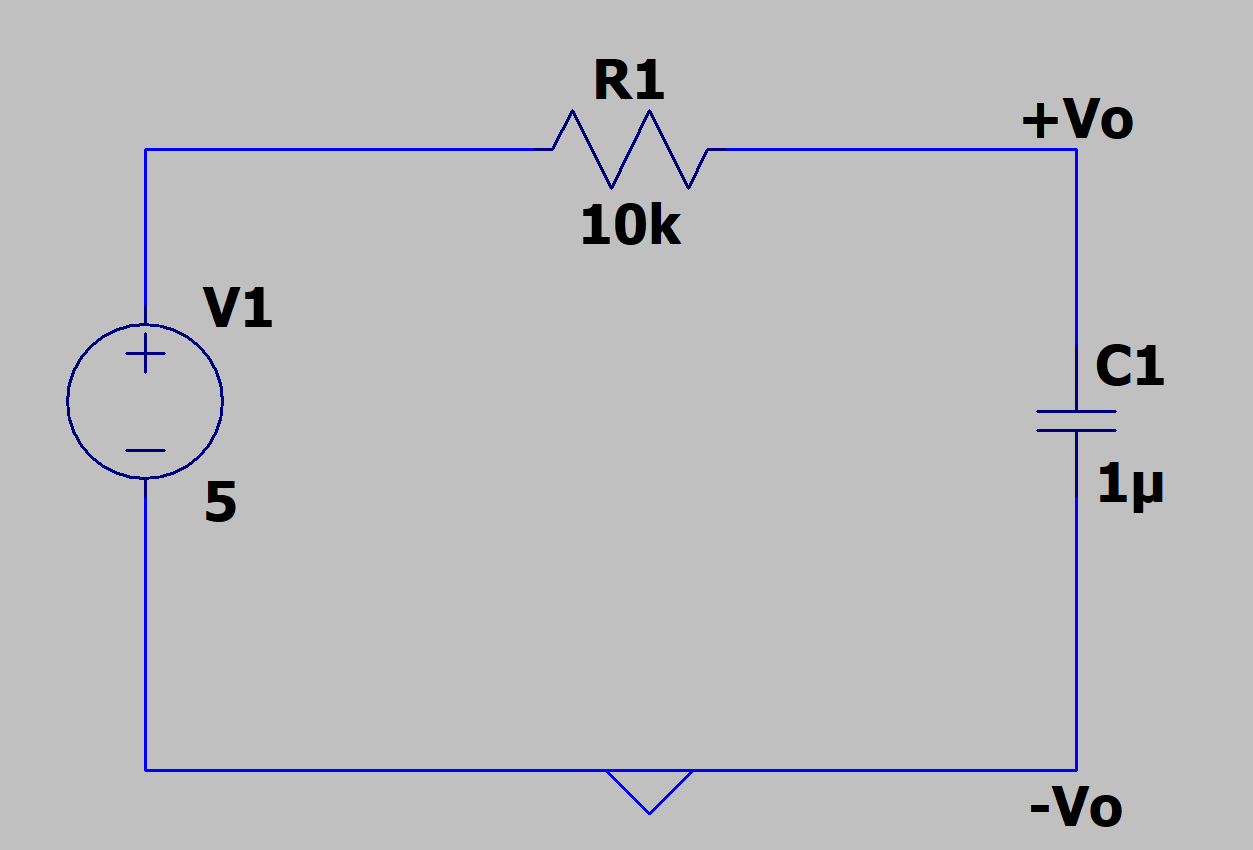
**Nama : Raka Noorsyach A**

**NIM : 13218040**

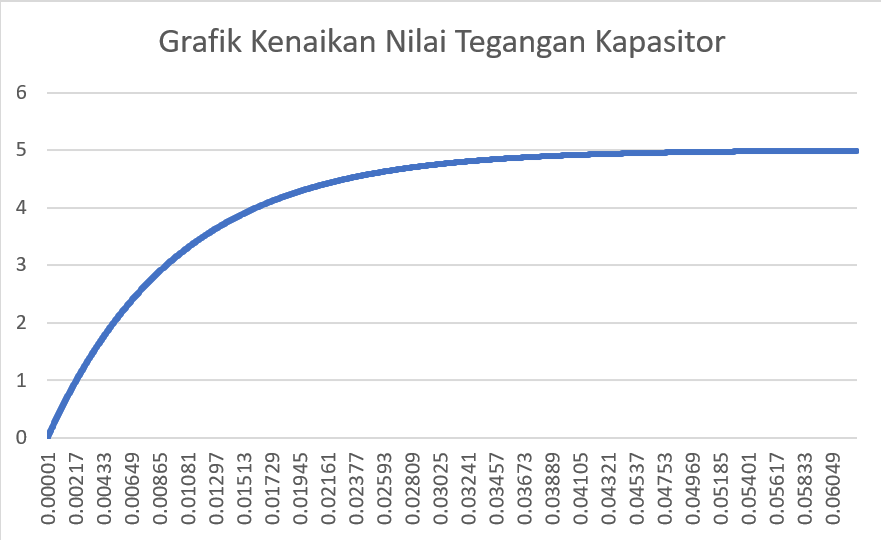
**Flowchart dari Algoritma Kasus pada Quiz 4**



Pada kuis 4 ini, diberikan sebuah kasus untuk mengetahui visualisasi dari kenaikan nilai tegangan kapasitor pada analisis arus searah dengan menggunakan persamaan diferensial orde 1. Dengan desain rangkaian sebagai berikut.



Berdasarkan konsep persamaan diferensial orde satu, dapat dicari aproksimasi dari turunan tegangan dengan menggunakan looping hingga nilai tegangan pada kapasitor (tegangan output = v\_t) mendekati nilai dari sumber tegangan DC. Dengan visualisasi sebagai berikut.



Berikut adalah penurunan persamaan untuk mencari nilai dari kenaikan tegangan pada kapasitor.

Dari hasil analisis rangkaian DC. Didapatkan persamaan berikut yang menggunakan aturan KVL.

Dikarenakan nilai tegangan pada kapasitor tidak dapat berubah tiba – tiba, maka

Sehingga didapatkan bentuk persmaan yang baru, yaitu

Nilai dari turunan dari persamaan tersebut dapat didekati dengan limit

Dengan diketahuinya nilai tegangan kapasitor pada initial sebesar 0 V.

Subtitusi persamaan (2) ke persamaan (1), didapatkan persamaan fungsi V\_t sebagai berikut